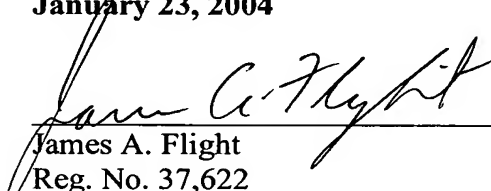




PATENT  
Docket No. 20063/OG03-047

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Chang Hun HAN	)	I hereby certify that the documents
Serial No.: 10/750,252	)	referred to as enclosed herewith are
Filed: December 31, 2003	)	being deposited with the United States
For: Chang Hun HAN	)	Postal Service, first class postage
Group Art Unit: Unknown	)	prepaid, in an envelope addressed to
Examiner: Not Yet Assigned	)	the Commissioner for Patents, P.O.
	)	Box 1450, Alexandria, Virginia
	)	22313-1450 on this date:
	)	<b>January 23, 2004</b>
	)	
	)	James A. Flight
	)	Reg. No. 37,622

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

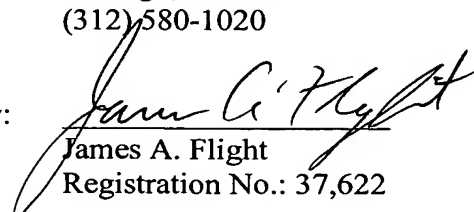
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.  
10-2002-0088281 filed December 31, 2002, the priority of which is claimed under 35  
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.  
Suite 4220  
20 North Wacker Drive  
Chicago, Illinois 60606  
(312) 580-1020

By:

  
James A. Flight  
Registration No.: 37,622

**January 23, 2004**



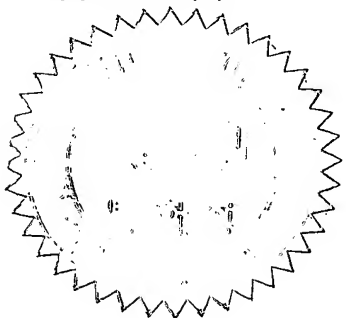
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0088281  
Application Number

출원 년 월 일 : 2002년 12월 31일  
Date of Application DEC 31, 2002

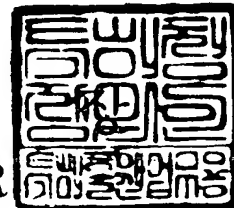
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO.,LTD.



2003      년    11      월    18      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0019  
**【제출일자】** 2002.12.31  
**【발명의 명칭】** 비휘발성 메모리 소자의 제조방법  
**【발명의 영문명칭】** Method for fabricating flash memory device  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 2001-050901-4  
**【발명자】**  
**【성명의 국문표기】** 한창훈  
**【성명의 영문표기】** HAN, Chang Hun  
**【주민등록번호】** 700614-1480918  
**【우편번호】** 467-010  
**【주소】** 경기도 이천시 창전동 49-1 현대1차아파트 101동 605호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)  
**【수수료】**  
**【기본출원료】** 11 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 비휘발성 메모리소자의 제조방법을 개시한다. 개시된 발명은, 실리콘기판내에 활성 영역과 소자분리영역을 한정하는 트렌치소자분리막을 형성하는 단계; 상기 실리콘기판상에 터널산화막과 플로팅게이트용 폴리실리콘층을 형성하는 단계; 상기 플로팅게이트용 폴리실리콘층상에 희생절연막을 형성하는 단계; 상기 희생절연막상에 감광막패턴을 형성한후 이를 마스크로 상기 희생절연막을 상기 폴리실리콘층이 노출될 때까지 식각하면서 패터닝되는 상기 희생절연막측벽에 폴리머층을 생성시키는 단계; 및 상기 폴리머층과 감광막패턴을 마스크로 상기 노출된 폴리실리콘층과 터널산화막을 선택적으로 제거하여 플로팅게이트용 폴리실리콘층패턴과 터널산화막패턴을 형성하는 단계;을 포함하여 구성된다.

**【대표도】**

도 2g

**【명세서】****【발명의 명칭】**

비휘발성 메모리 소자의 제조방법{Method for fabricating flash memory device}

**【도면의 간단한 설명】**

도 1은 일반적인 EEPROM 셀구조를 나타낸 것으로 단일 비트 셀 타입의 소자단면도,  
도 2a 내지 도 2g는 본 발명에 따른 비휘발성 메모리소자의 제조방법을 설명하기 위한 공정단  
면도.

**[도면부호의설명]**

31 : 실리콘기판      33 : 트렌치소자분리막  
35 : 터널산화막      37 : 플로팅게이트용 폴리실리콘층  
39 : 제1회생절연막    41 : 감광막패턴  
43 : 폴리머층      45 : 절연막  
47 : 콘트롤게이트용 폴리실리콘층

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>      본 발명은 비휘발성 메모리소자의 제조방법에 관한 것으로서, 보다 상세하게는  
EEPROM(multi bit flash electrically erasable programable read only memory)에 관한 것으로  
플로팅 게이트를 셀사이즈의 증가없이 단순한 공정으로 한 셀당 2개로 분리하여 복수 비트  
(multi bit)를 구현하는 비휘발성 메모리소자의 제조방법에 관한 것이다.

- <10> 일반적인 EEPROM 셀 구조에 대해 도 1을 참조하여 설명하면 다음과 같다.
- <11> 도 1은 일반적인 EEPROM 셀구조를 나타낸 것으로 단일 비트 셀 타입의 소자단면도이다.
- <12> 단일 비트타입의 일반적인 EEPROM 셀구조는, 도 1에 도시된 바와같이, 실리콘기판(11)내에 활성영역과 소자분리영역을 한정하는 트렌치소자분리막(13)이 형성되어 있고, 활성영역상에는 터널산화막(15)과 플로팅 게이트(17)이 적층된 구조로 되어 있다.
- <13> 한편, 도면에는 도시하지 않았지만 이러한 단일 비트타입과 달리 제안된 이중 비트타입의 셀구조와 앞서 설명한 단일타입의 셀구조의 큰 차이는, 단일타입의 경우는 하나의 소자분리(LOCOS 또는 STI)로 1비트를 구현하지만, 이중 타입은 플로팅 게이트를 두 개를 공유하여 종래의 1비트 셀을 2비트 셀로 구현하는데 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <14> 그러나, 이를 자세히 살펴 보면 플로팅 게이트를 2개로 분리하는 데에는 리소그래피 최소구조 크기(lithographic minimum feature size) (이하 이를 "F"라고 한다) 만큼의 셀 사이즈가 증가된다. 즉, 플로팅 게이트간의 분리폭은 마스크 패터닝의 한계에서 오는 것이지 셀의 유용한 동작을 위하여 "F" 만큼의 길이가 필요한 것은 아니다. 다시 말하면 이 길이는 가능한 한 줄이는 것이 셀크기의 감소측면에서 바람직한 것이다.
- <15> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 셀 사이즈의 증가문제를 폴리머 발생기술에 의해 셀사이즈의 증가없이 불필요한 플로팅 게이트간의 간격을 생성된 폴리머 스페이서 폭 길이의 2배 만큼 줄이고, 이 크기를 플로팅 게이트 폴리 실리콘의 면적으로 사용이 가능하므로써 소자의 신뢰성을 증가시킬 수 있는 비휘발성 메모리소자의 제조방법을 제공함에 그 목적이 있다.

## 【발명의 구성 및 작용】

<16> 상기 목적을 달성하기 위한 본 발명에 따른 비휘발성 메모리소자의 제조방법은, 실리콘기판 내에 활성영역과 소자분리영역을 한정하는 트렌치소자분리막을 형성하는 단계; 상기 실리콘기판상에 터널산화막과 플로팅게이트용 폴리실리콘층을 형성하는 단계; 상기 플로팅게이트용 폴리실리콘층상에 희생절연막을 형성하는 단계; 상기 희생절연막상에 감광막패턴을 형성한후 이를 마스크로 상기 희생 절연막을 상기 폴리실리콘층이 노출될 때까지 식각하면서 패터닝되는 상기 희생 절연막 측벽에 폴리머층을 생성시키는 단계; 및 상기 폴리머층과 감광막패턴을 마스크로 상기 노출된 폴리실리콘층과 터널산화막을 선택적으로 제거하여 플로팅 게이트용 폴리실리콘층패턴과 터널산화막패턴을 형성하는 단계;를 포함하여 구성되는 것을 특징으로한다.

<17> (실시예)

<18> 이하, 본 발명에 따른 비휘발성 메모리소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.

<19> 도 2a 내지 도 2g는 본 발명에 따른 비휘발성 메모리소자의 제조방법을 설명하기 위한 공정단면도이다.

<20> 본 발명에 따른 비휘발성 메모리소자의 제조방법은, 도 2a에 도시된 바와같이, 먼저 실리콘기판(31)내에 활성영역과 소자분리영역을 한정하는 트렌치소자분리막(33)을 형성한후 전체 구조의 상면에 터널산화막(35)과 플로팅게이트용 폴리실리콘층(37)을 순차적으로 형성한다.

<21> 그다음, 도 2b에 도시된 바와같이, 상기 플로팅게이트용 폴리실리콘층(37)상에 제1희생 절연막(39)을 형성한다. 이때, 상기 희생절연막으로 TEOS 계열의 산화막 또는 질화막을 사용한다.

- <22> 이어서, 도 2c에 도시된 바와같이, 제1회생절연막(39)상에 상기 제1회생절연막을 패터닝하기 위한 마스크로 사용할 감광막패턴(41)을 형성한다. 이때, 상기 패터닝시의 스페이서의 크기를 리소그래피 최소구조 크기(lithographic minimum feature size) (이하 이를 "F"라고 한다)라 한다.
- <23> 그다음, 도 2d에 도시된 바와같이, 상기 감광막패턴(41)을 마스크로 상기 제1회생절연막(39)을 상기 폴리실리콘층(37)상면이 노출될 때까지 선택적으로 제거하면서 패터닝되는 제1회생절연막측벽에 일정량의 폴리머층(43)을 생성시킨다. 이때, 상기 폴리머층(43)은 제2회생절연막으로 이용된다. 이때, 상기 폴리머층간 스페이서폭은 약 300~1200 Å 정도가 된다.
- <24> 이어서, 도 2e에 도시된 바와같이, 노출된 플로팅게이트용 폴리실리콘층(37)과 터널산화막(35)을 실리콘기판(31)이 노출될 때까지 전면 건식각한다.
- <25> 그다음, 도 2f에 도시된 바와같이, 잔류하는 폴리머층(43)과 감광막패턴(41) 및 제1회생절연막(39)을 제거한다. 이때, 상기 플로팅게이트용 폴리실리콘층패턴(37a)의 길이가 종래보다 제1회생절연막측벽에 생성된 폴리머의 양만큼 커지게 되어 커플링비(couple ratio)가 증가된다.
- <26> 이어서, 도 2g에 도시된 바와같이, 상기 폴리실리콘층패턴(37a)과 터널산화막패턴(35a)을 포함한 전체 구조의 상면에 절연막(45)과 컨트롤 게이트용 폴리실리콘층(47)을 적층한다.

#### 【발명의 효과】

- <27> 상기에서 설명한 바와같이, 본 발명에 따른 비휘발성 메모리소자의 제조방법에 의하면, 종래의 이중 비트타입의 셀에서 갖는 플로팅 게이트 길이감소로 인하여 발생하는 커플링 비가



낮은 문제를 플로팅 게이트의 길이를 생성된 폴리머의 2배만큼 증가시켜 이를 해결하는 효과가 있다.

<28> 따라서, 상기 효과로 인하여 지속적인 셀사이즈의 감소가 가능하며, 내부 전압의 감소효과가 있어 소자의 신뢰성 개선에 상당한 효과를 가져 온다.

<29> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

실리콘기판내에 활성영역과 소자분리영역을 한정하는 트렌치소자분리막을 형성하는 단계;

상기 실리콘기판상에 터널산화막과 플로팅게이트용 폴리실리콘층을 형성하는 단계;

상기 플로팅게이트용 폴리실리콘층상에 희생절연막을 형성하는 단계;

상기 희생절연막상에 감광막패턴을 형성한후 이를 마스크로 상기 희생절연막을 상기 폴리실리콘층이 노출될 때까지 식각하면서 패터닝되는 상기 희생절연막측벽에 폴리머층을 생성시키는 단계; 및

상기 폴리머층과 감광막패턴을 마스크로 상기 노출된 폴리실리콘층과 터널산화막을 선택적으로 제거하여 플로팅게이트용 폴리실리콘층패턴과 터널산화막패턴을 형성하는 단계;을 포함하여 구성되는 것을 특징으로하는 비휘발성 메모리소자의 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 폴리실리콘층패턴과 터널산화막패턴을 형성한후 폴리머층과 감광막패턴 및 희생절연막을 제거하는 단계와 상기 전체 구조의 상면에 절연막과 콘트롤게이트용 폴리실리콘층을 형성하는 단계를 더 포함하는 것을 특징으로하는 비휘발성 메모리소자의 제조방법.

**【청구항 3】**

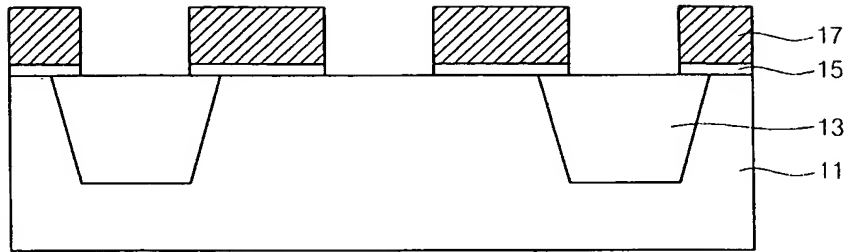
제1항에 있어서, 상기 희생절연막으로 TEOS 계열의 산화막 또는 질화막을 사용하여 폴리머를 생성시키는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

【청구항 4】

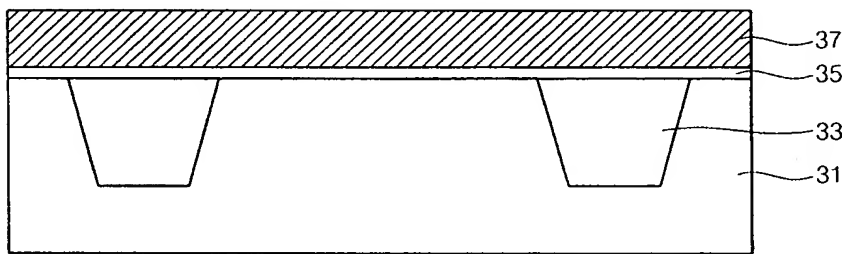
제1항에 있어서, 상기 폴리머층간 스페이서폭은 약 300~1200 Å 인 것을 특징으로하는 비휘발성 메모리소자의 제조방법.

【도면】

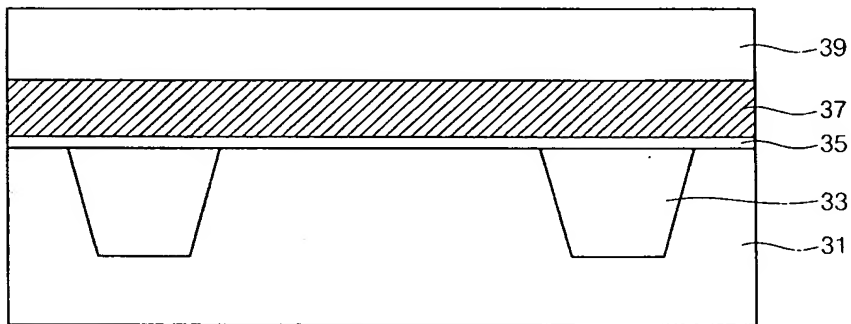
【도 1】



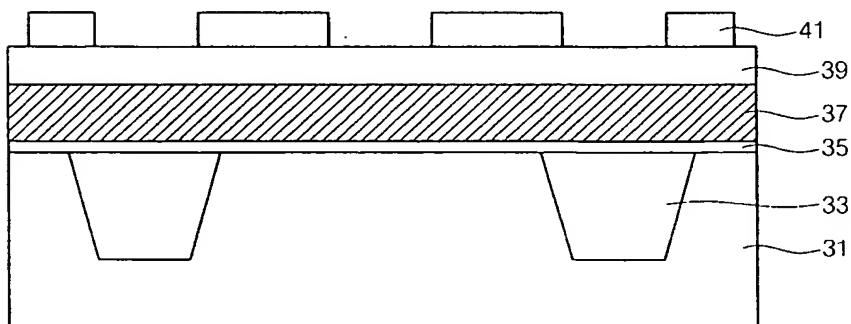
【도 2a】



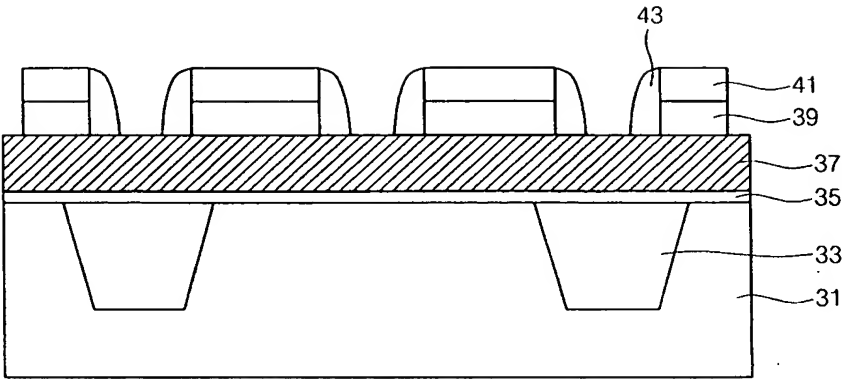
【도 2b】



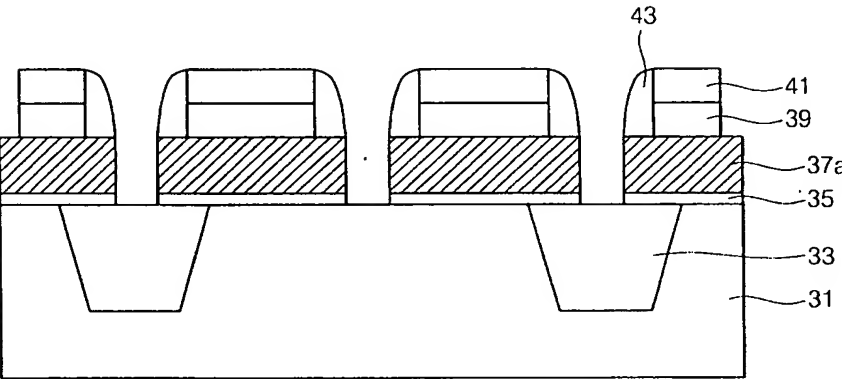
【도 2c】



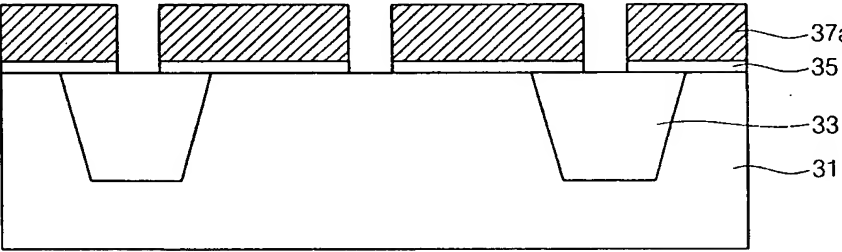
【도 2d】



【도 2e】



【도 2f】



【도 2g】

